

МІНІСТЕРСТВО ОСВІТИ І НАУКИ УКРАЇНИ
НАЦІОНАЛЬНИЙ ТЕХНІЧНИЙ УНІВЕРСИТЕТ
«ДНІПРОВСЬКА ПОЛІТЕХНІКА»

ДОСЛІДЖЕННЯ ЦИФРОВИХ ПРИСТРОЇВ

Методичні рекомендації до виконання лабораторних робіт

**з дисциплін «Основи схемотехніки», «Електроніка та мікросхемотехніка»,
«Основи електроніки»**

для бакалаврів галузей знань 17 Електроніка та телекомунікації,
15 Автоматизація та приладобудування, 12 Інформаційні технології

Дніпро
2019

МІНІСТЕРСТВО ОСВІТИ І НАУКИ УКРАЇНИ
НАЦІОНАЛЬНИЙ ТЕХНІЧНИЙ УНІВЕРСИТЕТ
«ДНІПРОВСЬКА ПОЛІТЕХНІКА»



ІНСТИТУТ ЕЛЕКТРОЕНЕРГЕТИКИ
Факультет інформаційних технологій
Кафедра безпеки інформації та телекомунікацій

ДОСЛІДЖЕННЯ ЦИФРОВИХ ПРИСТРОЇВ

Методичні рекомендації
до виконання лабораторних робіт

**з дисциплін «Основи схемотехніки», «Електроніка та мікросхемотехніка»,
«Основи електроніки»**

для бакалаврів галузей знань 17 Електроніка та телекомунікації,
15 Автоматизація та приладобудування, 12 Інформаційні технології

Дніпро
НТУ «ДП»
2019

Галушко О.М.

Дослідження цифрових пристроїв. Методичні рекомендації до виконання лабораторних робіт з дисциплін «Основи схемотехніки», «Електроніка та мікросхемотехніка», «Основи електроніки» для бакалаврів галузей знань 17 Електроніка та телекомунікації, 15 Автоматизація та приладобудування 12 Інформаційні технології / Упоряд. О.М. Галушко; М-во освіти і науки України, Нац. техн. ун-т «Дніпровська політехніка». – Дніпро: НТУ «ДП», 2019. – 29 с.

Упорядник

О.М. Галушко, канд. техн. наук, доц.

Затверджено редакційною радою університету (протокол № 2 від 07.02.2019) за поданням методичної комісії зі спеціальністю 172 Телекомунікації та радіотехніка (протокол № 6 від 07.02.2019).

Подано методичні рекомендації до виконання лабораторних робіт на тему «Дослідження цифрових пристроїв» для бакалаврів галузей знань 172 Телекомунікації та радіотехніка, 151 Автоматизація та комп'ютерно-інтегровані технології, 12 Інформаційні технології.

Відповідальний за випуск зав. кафедри БІТ В.І. Корнієнко, д-р техн. наук, проф.

Лабораторна робота № 1 – ЦТ

ДОСЛІДЖЕННЯ БАЗОВОГО ЕЛЕМЕНТА ТТЛ

Мета роботи - набути практичних навичок у дослідженні логічних елементів ТТЛ.

Етап 1. Вивчити з літератури. (1, стор. 158-162, 3, стор. 59-75) побудову і принцип дії базового елемента ТТЛ та його основні характеристики.

Етап 2. Зібрати схему дослідження базового елемента ТТЛ відповідно до рисунку 1.1

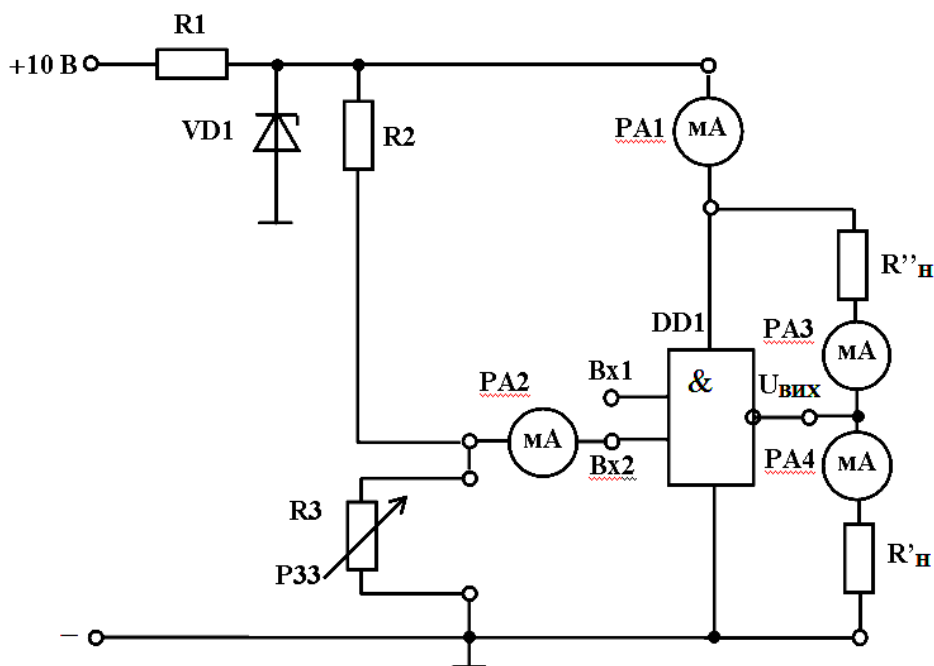


Рисунок 1.1 - Електрична схема підключення макета для дослідження базового елемента ТТЛ

Етап 3. Визначення логічної функції базового елемента.

Подаючи на входи інтегральної мікросхеми (ІМС) напруги логічного нуля U^0 (приєднанням до «загальної» точки) і логічної одиниці U^1 (від джерела живлення +5 В через опір 1 ... 10 кОм), відповідно до табл. 1.1, визначити виконувану нею логічну функцію.

Таблиця 1.1

Визначення логічної функції ІМС

$U_{ВХ1}$		$U_{ВХ2}$		$U_{ВИХ}$		Висновок про логічну функцію
Лог. знач.	В	Лог. знач.	В	Лог. знач.	В	
0		0				
0		1				
1		0				
1		1				

Етап 4. Зняття характеристик ІМС.

Подавши на вхід 1 (Вх1) базового елемента напругу U^1 і змінюючи (за допомогою дільника R2-R3) напругу на вході 2 (Вх2) в межах 0 ... 2 В, зняти характеристики: а) прямої передачі - $U_{\text{ВИХ}} = f(U_{\text{ВХ}})$; б) вхідну - $I_{\text{ВХ}} = f(U_{\text{ВХ}})$; в) споживання - $I_{\text{С}} = f(U_{\text{ВХ}})$.

Ці характеристики потрібно знімати одночасно, змінюючи вхідну напругу відповідно до таблиці 1.2. У клітці, зазначеної зірочкою, вказати значення $U_{\text{ВХ}}$, при якому значення $I_{\text{С}}$ максимального.

Таблиця 1.2

Результати зняття характеристик логічного елемента ТТЛ

$U_{\text{ВХ}}, \text{В}$	0	0,5	1,0	1,1	1,2	1,25	1,3	1,35	...	*	...	1,5	2,0
$U_{\text{ВЫХ}}, \text{В}$													
$I_{\text{ВХ}}, \text{мА}$													
$I_{\text{С}}, \text{мА}$													

Зняти навантажувальні (вихідні) характеристики логічного елемента:

г) - навантаження першого роду $U^1_{\text{ВИХ}} = f(I'_{\text{Н}})$ - підключені РА4 і $R'_{\text{Н}}$; заземливши вхід 1, змінювати опір навантаження $R'_{\text{Н}}$, задаючи значення струмів $I'_{\text{Н}}$ відповідно до таблиці 3 і записуючи значення напруг $U^1_{\text{ВИХ}}$;
 д) навантаження другого роду $U^0_{\text{ВИХ}} = f(I''_{\text{Н}})$ - підключені РА3 і $R''_{\text{Н}}$; відключивши входи мікросхеми (при цьому для елементів ТТЛ на їх входах встановлюються логічні "1"), змінювати опір навантаження $R''_{\text{Н}}$, задаючи значення струмів $I''_{\text{Н}}$ відповідно до таблиці 3 і записуючи значення напруг $U^0_{\text{ВИХ}}$;

Таблиця 1.3

Результати зняття характеристик $U_{\text{ВИХ}} = f(I_{\text{Н}})$

$I_{\text{Н}}, \text{мА}$	0	2	4	6	10	15	20	25
$U^1_{\text{ВИХ}}(I'_{\text{Н}}), \text{В}$								
$U^0_{\text{ВИХ}}(I''_{\text{Н}}), \text{В}$								

УВАГА! Щоб уникнути виходу з ладу мікросхеми (або вимірювального приладу) перед початком вимірювань встановити максимальне значення $R''_{\text{Н}}$, а потім зменшувати його, задаючи значення $I''_{\text{Н}}$, зазначені в таблиці 3.

На підставі отриманих результатів вимірювань параметрів ІМС

побудувати в одній системі координат – рис. 1.2а залежності:

- а) прямої передачі - $U_{\text{ВИХ}} = f(U_{\text{ВХ}})$;
- б) вхідну - $I_{\text{ВХ}} = f(U_{\text{ВХ}})$;
- в) споживання - $I_{\text{С}} = f(U_{\text{ВХ}})$.

Обидві навантажувальні характеристики: $U^1_{\text{ВИХ}} = f(I'_{\text{Н}})$ та $U^0_{\text{ВИХ}} = f(I''_{\text{Н}})$ – побудувати у другій системі координат – рис. 1.2б.

Пояснити характер кожної з відображених характеристик, шляхом використання принципової схеми ЛЕ І – НЕ, що наведена у методичних вказівках до цієї роботи.

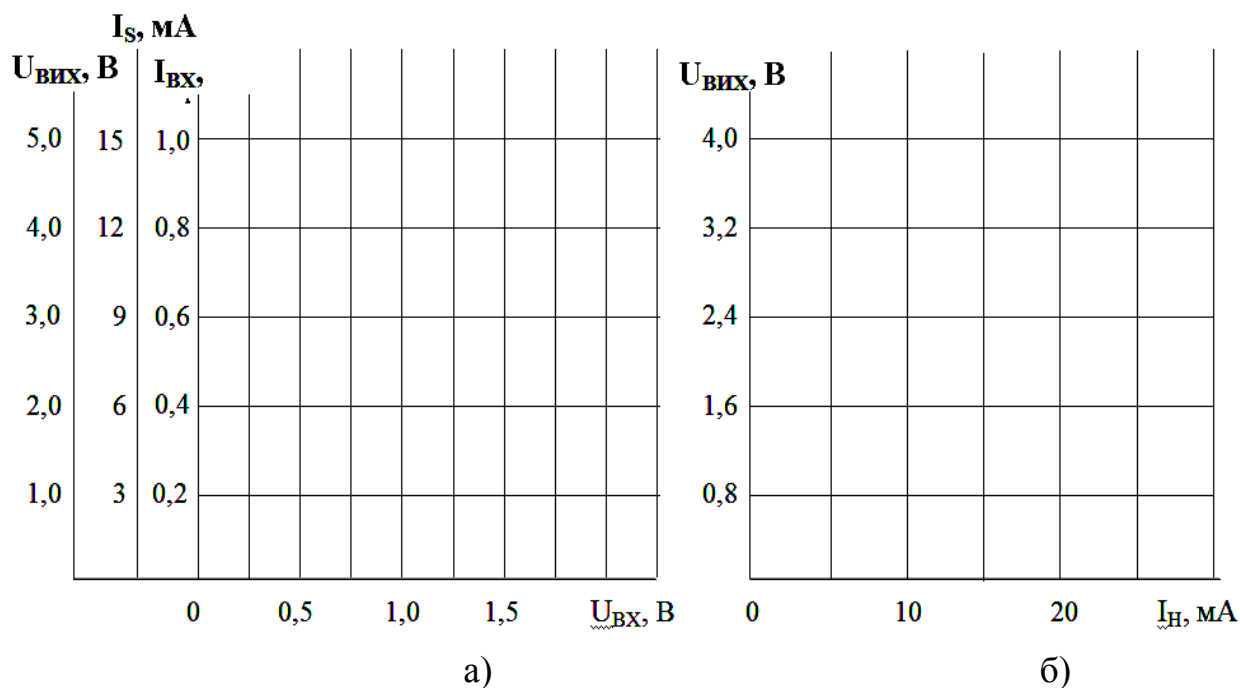


Рисунок 1.2 – Характеристики логічного елемента І – НЕ ТТЛ

Методичні вказівки

Схема електрична принципова ЛЕ І – НЕ ТТЛ на 2 входи наведена на рисунку 1.3.

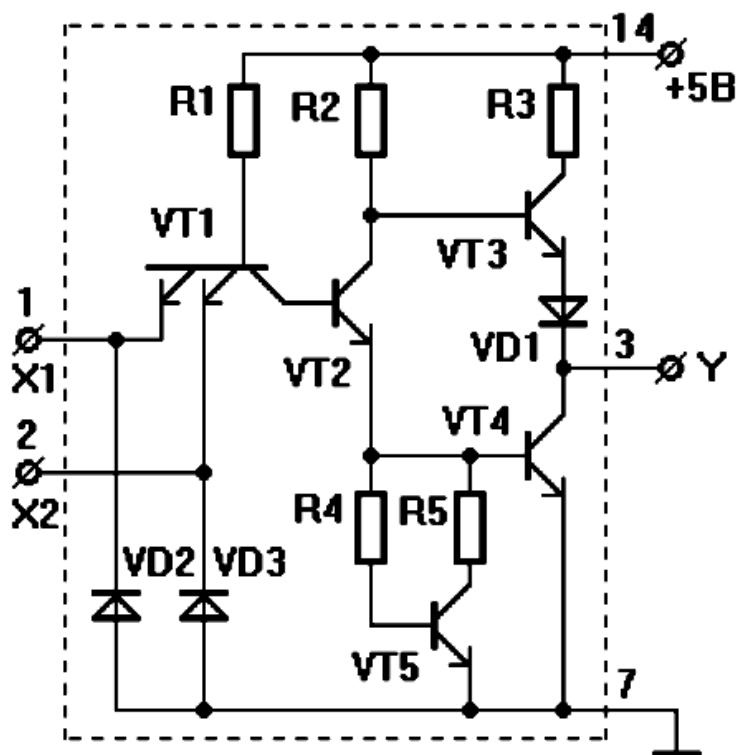


Рисунок 1.3 – Принципова електрична схема базового елемента ТТЛ

Елемент І – НЕ – рис. 1.3 можна зобразити послідовним з'єднанням трьох каскадів:

- вхідного на багатоемітерному транзисторі VT1 з резистором R1 і діодами VD2, VD3, що реалізують логічну операцію «І»;
- роздільника фаз на транзисторі VT2, резисторі R2 і кола нелінійної корекції - R4, R5 з транзистором VT5;
- двотактного вихідного підсилювача на транзисторах VT3 і VT4, резисторі R3 і діоді VD1.

Робота схеми ЛЕ.

Нехай входи X1 і X2 нікуди не підключені. В цьому випадку транзистори VT2, VT4 будуть відкриті струмами бази, що протікають по ланцюгу: + джерела, резистор R1, перехід база-колектор VT1, база-емітер VT2, база-емітер VT4, мінус джерела. Транзистор VT3 в цьому випадку закритий, тому що потенціал колектора транзистора VT2 приблизно 0,9 В. На виході ЛЕ – логічний нуль.

Якщо хоча б на одному з входів X1, X2 діє логічний нуль, то VT2, VT4 закриті, а VT3 відкритий. Струм бази транзистора VT3 протікає по ланцюгу: плюс джерела живлення, резистор R2, перехід база-емітер транзистора VT3, напівпровідниковий діод VD1, резистор навантаження (на схемі не показаний – він підключений між виходом ЛЕ та корпусом), мінус джерела живлення. У цьому випадку опір між колектором транзистора VT3 і катодом діода VD1 малий, а опір між колектором і емітером транзистора VT4 великий. Вихідна напруга логічного елемента буде відповідати логічній одиниці.

Резистори R4, R5 і транзистор VT5 в цьому логічному елементі (2І-НЕ, наприклад, К155ЛА3) дозволяють отримати передавальну характеристику, ближчу до прямокутної. Це підвищує перешкодозахищеність в стані логічної одиниці на виході елемента.

Передатна характеристика ЛЕ – $U_{\text{вих}} = f(U_{\text{вх}})$ має вигляд, наведений на рисунку 1.4.

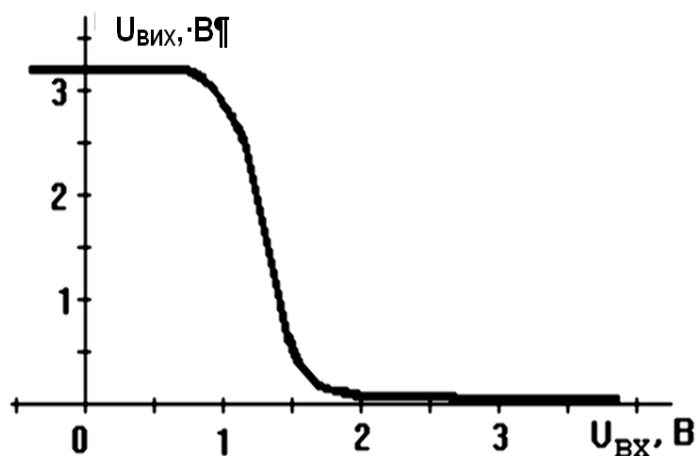


Рисунок 1.4 – Передатна характеристика базового елемента ТТЛ

Лабораторна робота № 2 – ЦТ

ДОСЛІДЖЕННЯ СХЕМ ТРИГЕРІВ

Мета роботи - вивчення принципів побудови та алгоритмів перемикання тригерів на логічних елементах, інтегральних тригерів і схем перетворення тригерів.

- Програма роботи:**
1. Дослідження тригерів на логічних елементах.
 2. Дослідження інтегральних тригерів.
 3. Дослідження схем перетворення тригерів.

Вивчити з літератури. (1, стор. 177-191, 3, стор. 152-171) схеми тригерів та їх принцип роботи.

Для виконання лабораторної роботи використовуються накладні панелі "9,10" і "11,12" універсального лабораторного стенду - рис.2.1 і 2.2

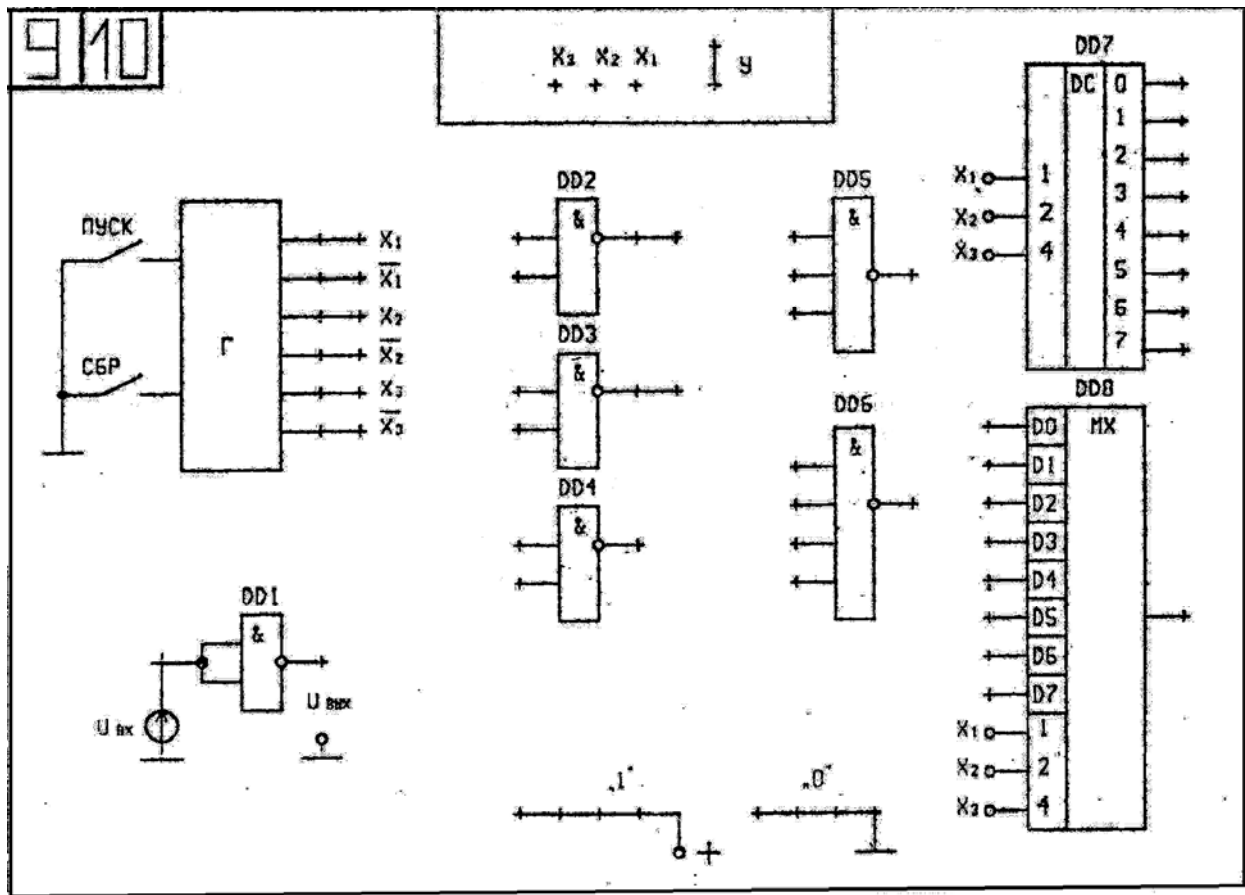


Рисунок 2.1. - Накладна панель "9,10" – «Логічні елементи»

На панелі «9,10» є поле управління, де розташовані: генератор – Г вхідних змінних X_1 , X_2 і X_3 та їх інверсних значень, гніздо «Y» зі світлодіодною індикацією стану виходу мікросхем, а також гнізда «1» і «0» для подачі логічних рівнів сигналу на їх входи, а також поле ЛЕ I-HE. При натисканні кнопки «СБР» встановлюються значення «0» для всіх змінних. При натисканні кнопки «ПУСК» відбувається почергова зміна набору вхідних змінних з індикацією світлодіодами « X_3 , X_2 , X_1 ».

Поле мікросхем панелі "11,12" складається з JK-тригера (DD1), трьох D-тригерів (DD5, DD6, DD7) зі світлодіодною індикацією "Q3, Q2, Q1" їх виходів, гнізда "Q" для фіксації стану будь-яких входів і виходів, а також логічних елементів І-НЕ (DD2, DD3, DD4). Всі мікросхеми ТТЛ - серії 155.

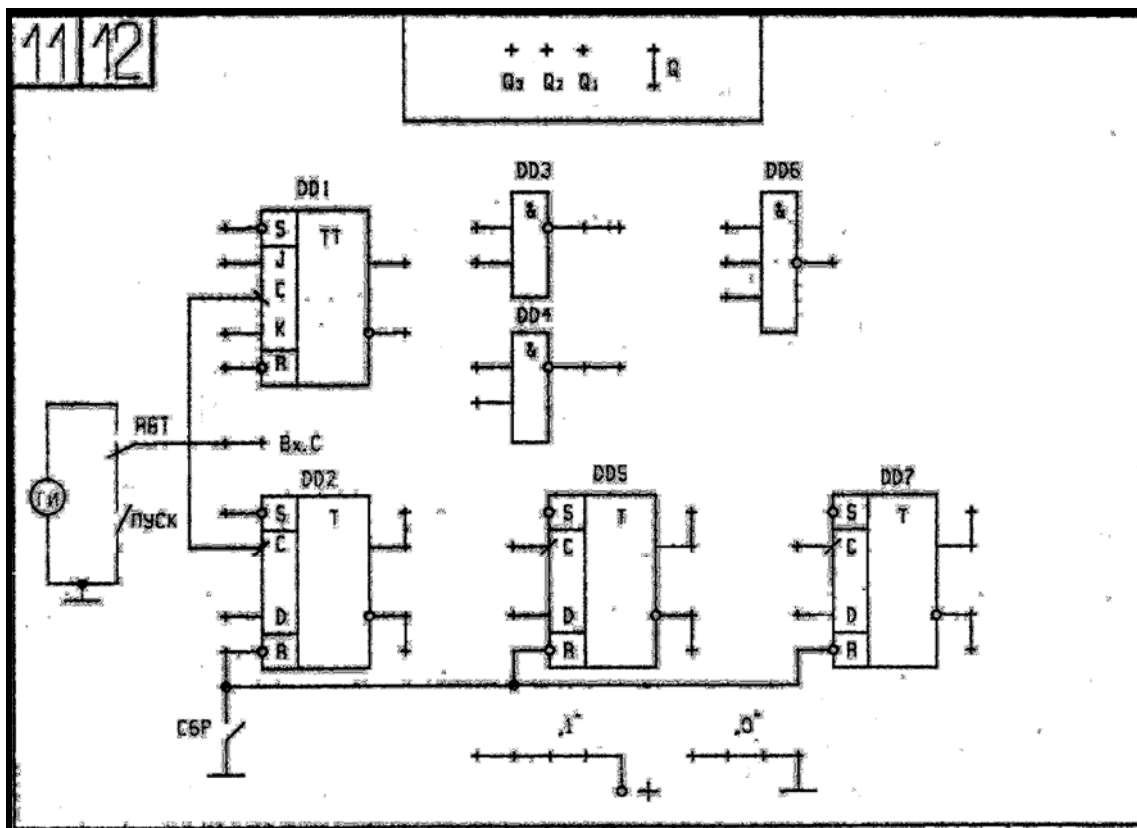


Рисунок 2.2 - Накладна панель "11,12" – «Тригери»

Етап 1. Дослідження тригерів на логічних елементах.

Використовуючи накладну панель "9,10" зібрати відповідно схеми: RS-асинхронного, синхронного і D – тригерів на елементах І-НЕ. Перевірити їх функціонування, подаючи сигнали на інформаційні входи з гнізд "1" і "0", а на синхровхід – з гнізда X1 генератора і спостерігаючи вихідні сигнали на індикаторі "Q".

Етап 2. Тригери на інтегральних мікросхемах

Дослідити роботу **D** – динамічного (DD5) і **JK**- універсального (DD1) тригерів аналогічно п.1, використовуючи накладну панель "11,12".

Етап 3. Дослідження схем перетворення тригерів.

Дослідити схеми перетворення тригерів: **D** → **T**, **JK** → **T**, **JK** → **D** аналогічно п.2.

Для всіх досліджуваних типів тригерів по результатам тестування зобразити діаграми вихідних сигналів – **Q (t)** згідно наведених діаграм вхідних сигналів – рис.2.10.

Методичні вказівки

Тригери

Більшість тригерів мають два виходи: прямий Q і інверсний \bar{Q} , тобто якщо $Q = 1$, $\bar{Q} = 0$ або навпаки, якщо $Q = 0$, $\bar{Q} = 1$. Стан тригера визначають за значенням виходу Q – нульове $Q = 0$ і одиничне $Q = 1$. Тригер змінює свій стан при деяких поєднаннях вхідних сигналів (режим перемикання) і зберігає свій стан при дії інших поєднань сигналів (режим зберігання), тобто має пам'ять. Існує велика кількість тригерів різного типу, побудованих на логічних елементах І-НЕ, АБО-НЕ, які синтезуються як комбінаційні логічні схеми, а також тригери у вигляді інтегральної мікросхеми.

За способом функціонування розрізняють: тригери RS – тригери з роздільною установкою, D – тригери затримки, T – рахункові тригери, JK – універсальні тригери. Назва тригерів визначаються першими буквами англійських слів: set-встановити, reset-скинути, toggle-релаксатор, delay-затримка, jerk-різко включити, kill-різко вимкнути. За способом синхронізації тригери поділяються на асинхронні і синхронні або тактовані.

Асинхронний RS-тригер, (рис. 2.3), побудований на елементах І-НЕ, вимагає подачі інверсних сигналів на входи R і S.

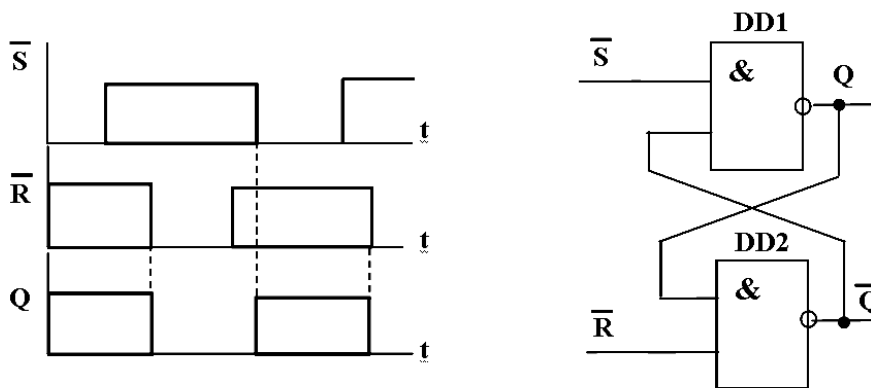


Рисунок 2.3 Асинхронний RS – тригер на ЛЕ І - НЕ

Тактований (синхронний) RS – тригер (рис. 2.4), має два інформаційних входи і тактуючий вхід (Gate), який дозволяє його перемикання при наявності відповідних сигналів на інформаційних входах – як це показано на діаграмі.

D – тригер (рис. 2.5) має один інформаційний вхід D, інший тактуючий C і встановлюється в стан, відповідний входу D, при дії тактового сигналу C.

JK – тригер (рис. 2.6) – універсальний і працює за правилом RS – тригера (вхід J = S, вхід K = R), перемикаючись по зрізу синхроімпульса. Від RS – тригера він відрізняється тим, що комбінація J = K = 1 не є забороненою. При наявності цих сигналів він змінює свій стан на протилежне тому, в якому знаходився. Цей режим зветься режимом T – тригера.

T- тригер (рис. 2.7) має один вхід, який є і тактуючим і інформаційним. Даний тригер будується на основі JK – тригера, при J = K = 1, а вхід C є інформаційним. Режим T- тригера може бути також реалізовано при з'єднанні всіх входів JK – тригера разом.

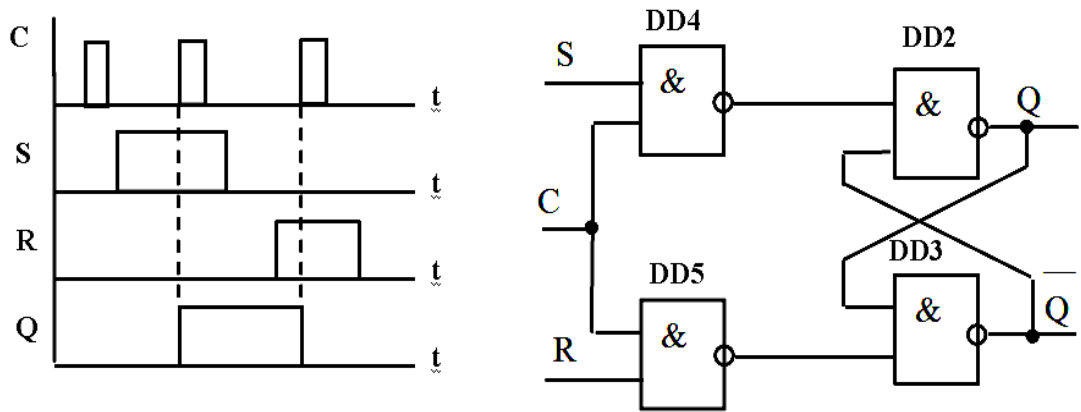


Рисунок 2.4 Синхроний статичний RS – тригер

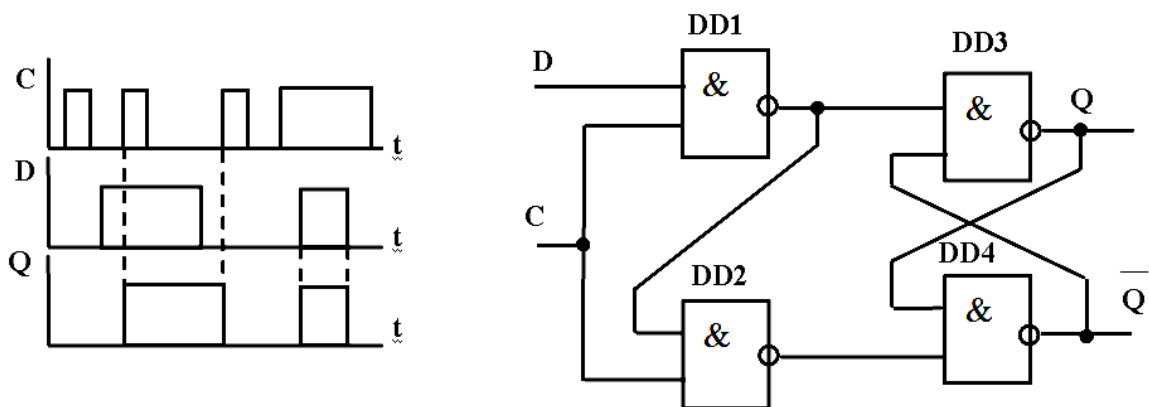


Рисунок 2.5 Синхроний статичний D – тригер

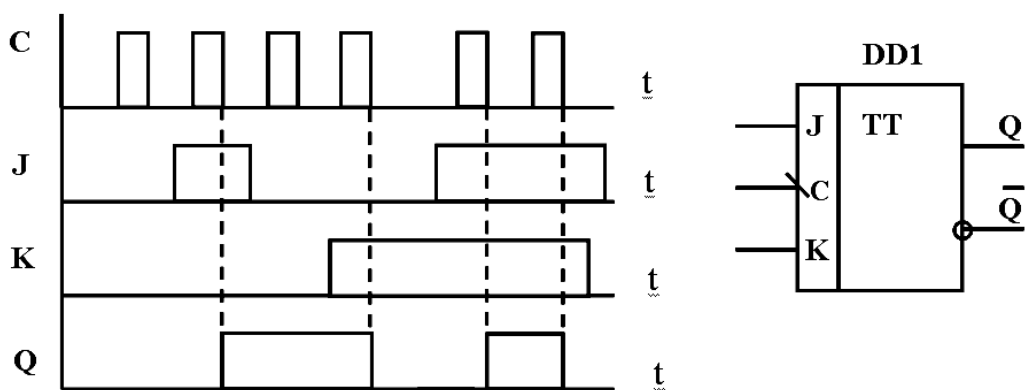


Рисунок 2.6 Синхроний JK - тригер

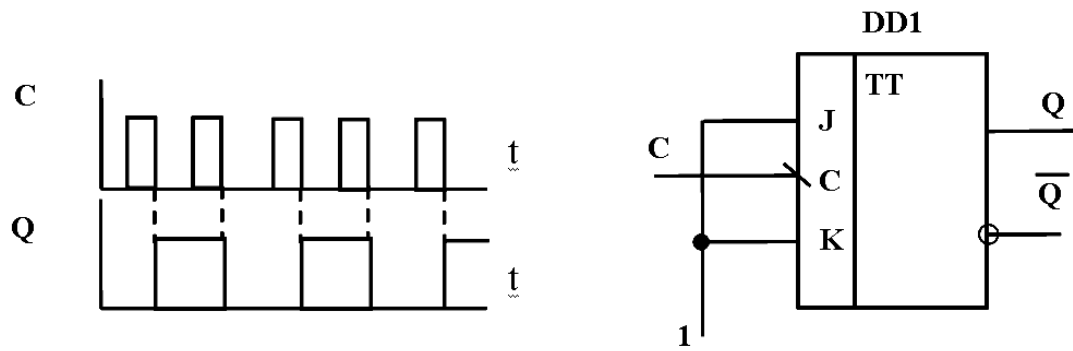


Рисунок 2.7 – Т – тригер, перетворений з JK – тригера

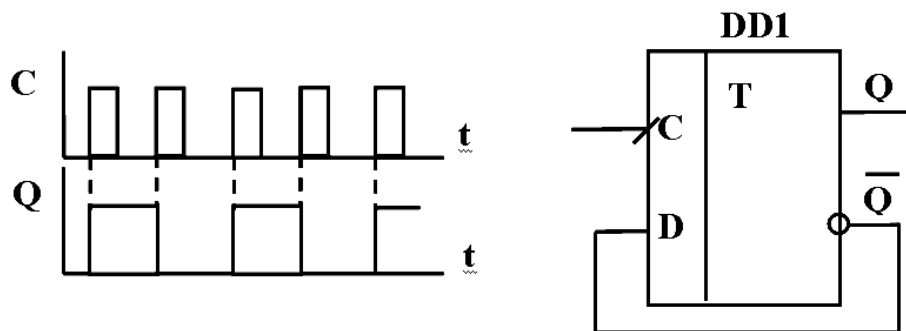


Рисунок 2.8 – Т – тригер, перетворений з D – тригера (динамічного)

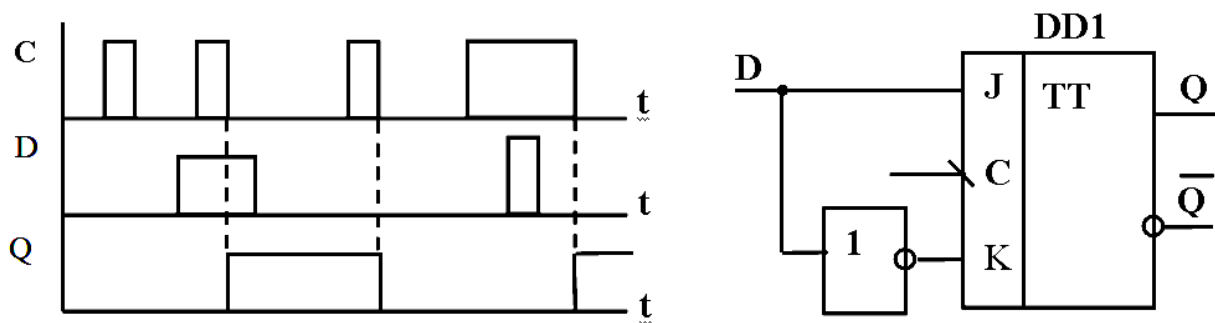


Рисунок 2.9 - D – тригер, перетворений з JK – тригера

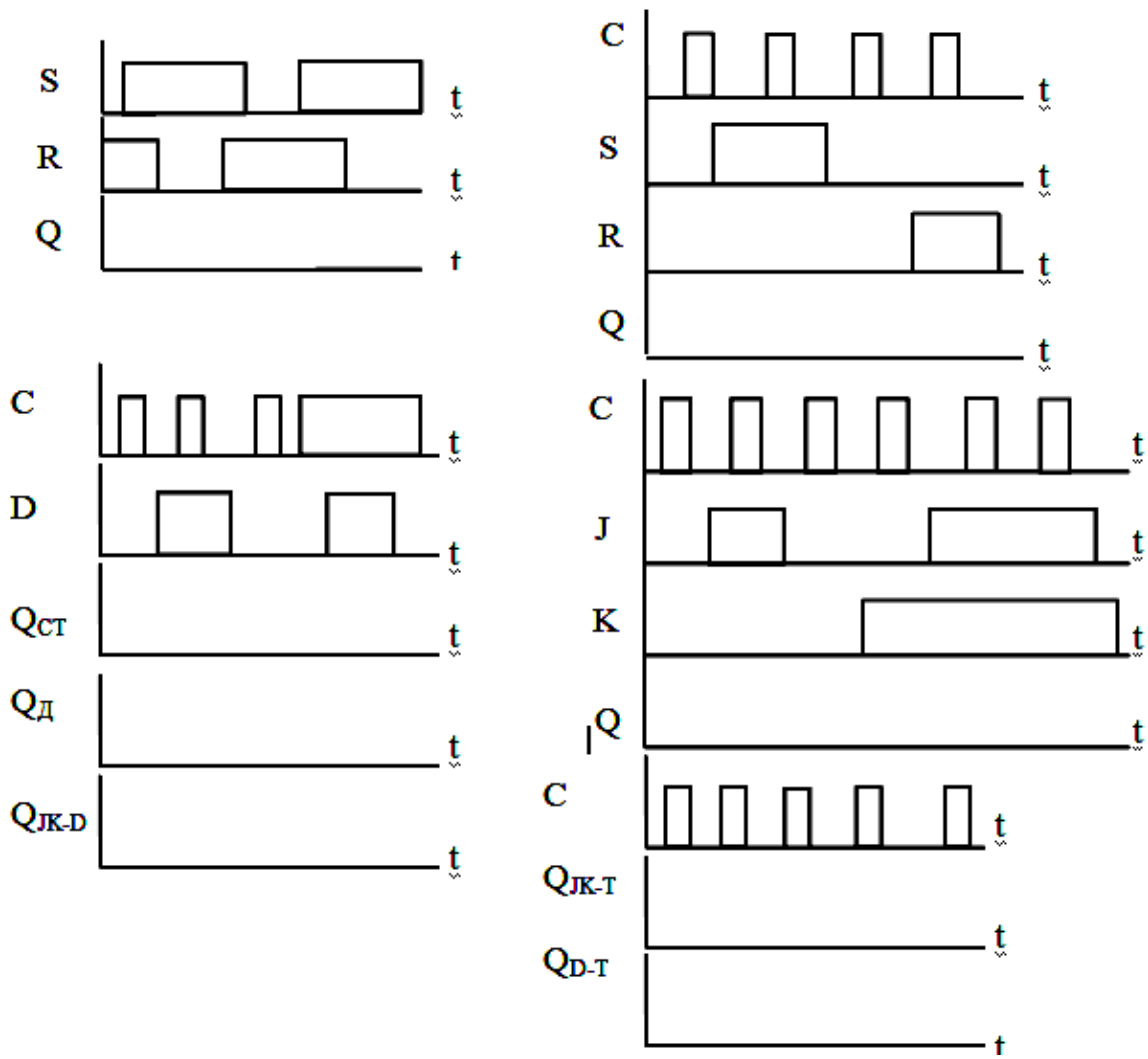


Рисунок 2.10 Результати тестування тригерів

Лабораторна робота № 3 – ЦТ

ДОСЛІДЖЕННЯ СХЕМ ЛІЧИЛЬНИКІВ І РЕГІСТРІВ

Мета роботи - вивчення принципів побудови лічильників і регістрів на тригерах і дослідження їх роботи.

Програма роботи: 1. Дослідження лічильників. 2. Дослідження регістрів.

Вивчити по літературі (1, стор .195-207, 210-218, 3, стор .168-196)

побудову і принцип роботи схем лічильників і регістрів.

Для виконання лабораторної роботи використовуються накладна панель "11,12" універсального лабораторного стенду - рис.3.1

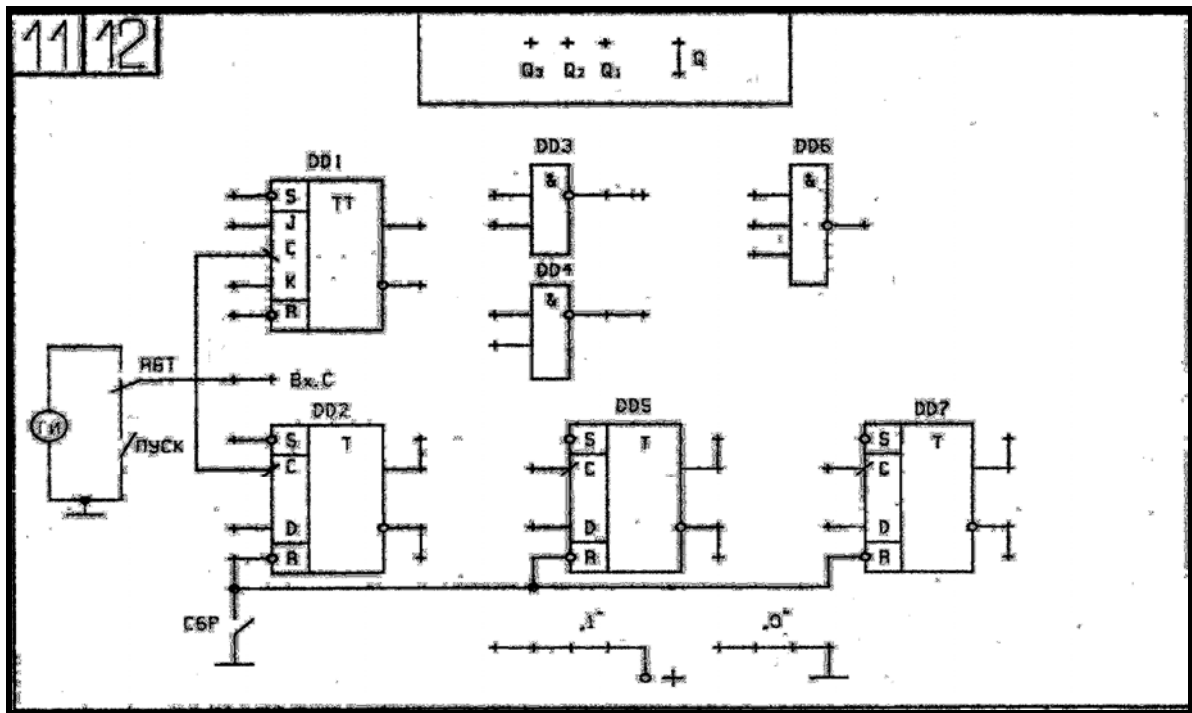


Рисунок 3.1 - Накладна панель "11,12" універсального лабораторного стенду

Схеми лічильників і регістрів в даній роботі збираються на основі трьох D-тригерів (DD2, DD5 і DD7), при цьому їх прямі виходи підключені до світлодіодних індикаторів "Q3 Q2 Q1" Перший тригер (позначений DD2 на панелі) відповідає молодшому розряду лічильника (регістра).

Етап 1. Дослідження двійкових послідовних сумуючого і від'ємного лічильників.

Лічильники будуються на T-тригерах, перетворених з D-тригерів, (шляхом з'єднання входу D і його інверсного виходу) і має коефіцієнт рахунку $K_C = 2^n$, де n – число тригерів. Для підсумовування необхідно з'єднати синхровхід кожного наступного тригера з інверсним виходом попереднього, для віднімання – відповідно з прямим виходом. Зазначені сполуки відобразити на рис.3.2 і побудувати часові діаграми роботи лічильників за допомогою рисунку 3.3.

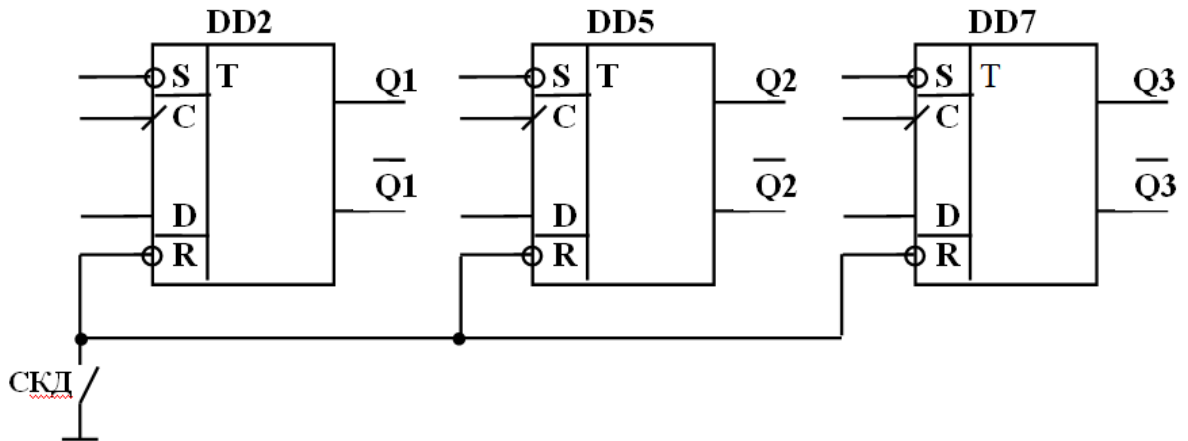


Рисунок 3.2 – Базова схема для побудови схем лічильників та регістрів

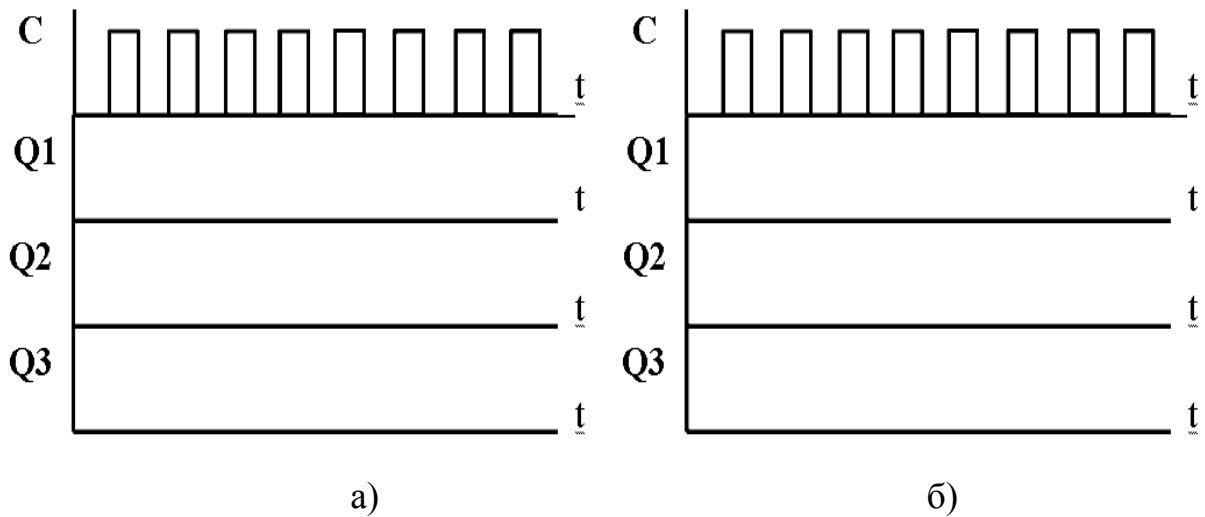


Рисунок 3.3 Діаграми роботи лічильників (на підставі тестування схем: а) сумуючого, б) від'ємного

Етап 2. Дослідження недвійкових послідовних лічильників.

Для недвійкових лічильників $K_C \neq 2^n$. Розглянемо, наприклад, лічильник на три розряди з коефіцієнтом рахунку $K_C = 5$. Використовуємо схему сумуючого лічильника – п.1. Один з способів реалізації недвійковий лічильника полягає в використанні входів R-скидання тригерів, тобто рахунок починається з нуля і закінчується числом $(K_C - 1)$. Наприклад, при $K_C = 5$, стан виходів Q3 Q2 Q1, змінюється послідовно 000-001-010-011-100. При появі кодової комбінації 101 здійснюється примусове скидання тригерів лічильника в нуль і далі рахунок повторюється. Таким чином, на інверсні входи R-тригерів, сигнал скидання слід подати через логічний елемент 3 І-НЕ (DD6), до якого підключені сигнали з виходів тригерів Q1 і Q3, відповідні коду 101, а на третій вхід – подана "1".

Відобразити описану схему на панелі «11-12» – рис.3.1 і перевірити роботу лічильника.

3. Дослідження регістрів

Дослідити регістр зсуву на D-тригерах для перетворення послідовного коду в паралельний. Даний регістр реалізується з'єднанням прямих виходів тригерів попередніх розрядів з входами D наступних. Вхід D – тригера першого розряду служить для прийому в регістр інформації у вигляді послідовного коду шляхом підключення до гнізд «1» і «0» за розрядами. Тактові імпульси з гнізд "Вх.С" подаються на всі входи С тригерів паралельно. Кожен тактовий імпульс встановлює наступний тригер в стан, в якому до цього знаходився попередній тригер, здійснюючи тим самим зрушення інформації на розряд вправо.

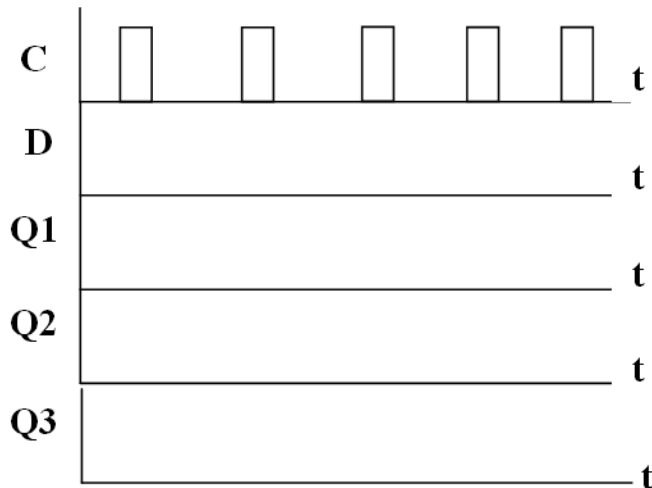


Рисунок 3.4 – Діаграми роботи регістру зсуву (на підставі тестування)

Накреслити схему регістра зсуву з використанням рис. 3.2 і зібрати її на накладній панелі лабораторного макету. Записати в регістр зсуву задане викладачем число А у двійковому коді й побудувати часові діаграми його роботи на рисунку 3.4.

Методичні вказівки

Лічильники імпульсів.

Цифровий лічильник імпульсів – це цифровий вузол, який здійснює рахунок імпульсів, які надходять на його вхід. Результат рахунку формується лічильником в заданому коді і може зберігатися необхідний час. Лічильники будуються на тригерах, при цьому кількість імпульсів, що може підрахувати лічильник дорівнюється його модулю рахунку і визначається значенням $N = 2^n$, де n – число тригерів. Але відобразити у вигляді двійкового коду лічильник може кількість імпульсів мінус один, тому що при встановленні коду, що дорівнюється $N = 2^n$ на його виході відображається код з розрядністю, більшою кількості тригерів.

Лічильники бувають сумуючі, коли рахунок йде на збільшення, і від'ємні, якщо рахунок йде на зменшення. Якщо лічильник може перемикається в процесі роботи з підсумовування на віднімання і навпаки, то він називається реверсивним.

На рисунку 3.5 наведено схему 3-х розрядного лічильника на підсумовування, створеного на Т-тригерах та діаграми його роботи.

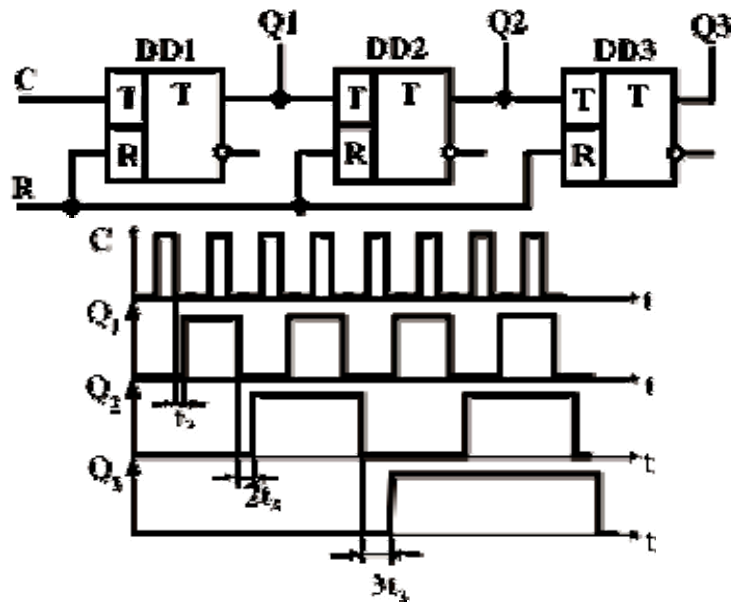


Рисунок 3.5 – Схема лічильника з послідовним переносом на Т-тригерах і графіки, що пояснюють принцип його роботи

В якості початкового стану лічильника прийнятий нульовий рівень на всіх виходах тригерів ($Q_1 - Q_3$) – цифровий код 000. При цьому старшим розрядом є вихід Q_3 . Для переведення всіх тригерів в нульовий стан входи R тригерів об'єднані і на них подається необхідний рівень напруги – логічний рівень «1». По суті – це скидання. На вхід C надходять тактові імпульси, кожний з яких збільшує цифровий код на одиницю. Таким чином після приходу першого імпульсу перший тригер перемикається в стан 1 (код 001), після приходу другого імпульсу другий тригер перемикається в стан 1, а перший – в стан 0 (код 010), потім третій і т. д. В результаті подібний пристрій може дорахувати до 7 (код 111), оскільки $2^3 - 1 = 7$. Коли на всіх виходах тригерів встановилися одиниці, кажуть, що лічильник переповнений. Після приходу наступного імпульсу лічильник встановиться в нульовий стан і почне все з початку. На графіках зміна станів тригерів відбувається з деякою затримкою t_d , яка відображає час спрацювання тригерів. На третьому розряді затримка вже потроєна. Подальше збільшення затримки зі збільшенням числа розрядів є недоліком лічильників з послідовним переносом.

В якості прикладу реального пристрою на рисунку 3.6 наведено мікросхему K155IE5 – лічильник на 3 розряди (зі входом C2 і виходами 2, 4, 8), який крім цього має ще окремий Т-тригер (зі входом C1 з виходом 1).

Якщо з'єднати послідовно всі чотири тригери як на малюнку 2, то вийде лічильник з модулем $N = 2^4 = 16$. Максимальне збережене число при повному заповненні його одиницями дорівнює $N = 2^4 - 1 = 15 = (111)_2$. Лічильник має входи R примусової установки в 0, які з'єднані за логічною схемою «І» – «&».

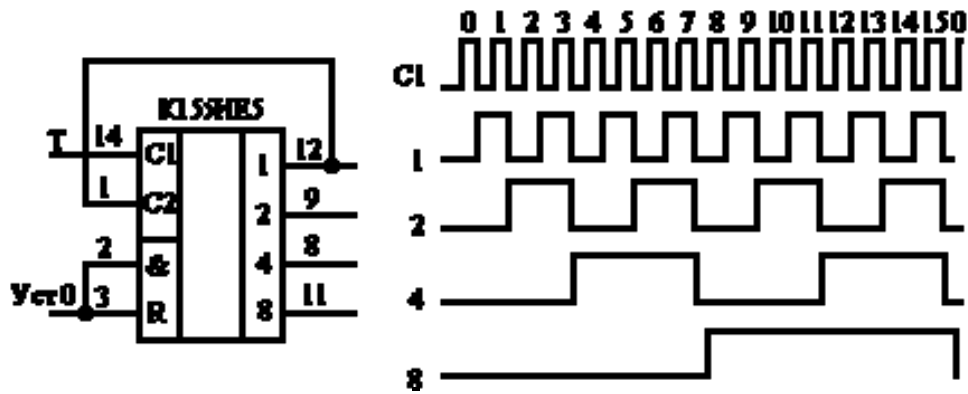


Рисунок 3.6 – Мікросхема лічильника з послідовним переносом на Т-тригерах на 4 розряди і графіки, що пояснюють принцип його роботи

Регістри.

В даній лабораторній роботі розглянуто послідовний регістр зі зсувом вправо. Порядок з'єднання тригерів вказано в тексті лабораторної роботи, а діаграми, що відображають перемикання тригерів та формування кодів на виходах при вхідному коді 101, наведені на рисунку 3.7.

В цьому пристрою кожному розряду вхідного коду відповідає тактовий імпульс, що подається зразу на всі тригери. При надходженні 3-го імпульсу на виходах тригерів встановлюється паралельний код, який дорівнюється вхідному. Якщо подати ще 2 (n – 1) синхроімпульси, то на виході тригера -Q3 можна отримати також послідовний код, що дорівнюється вхідному.

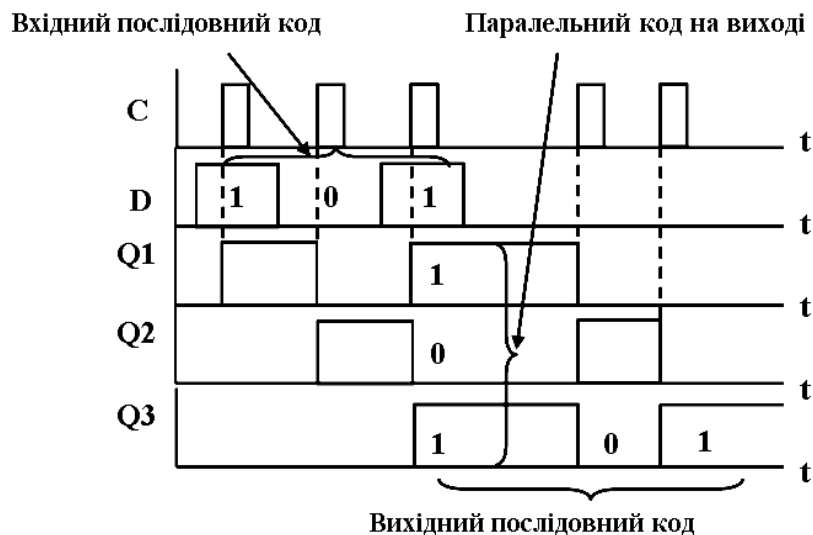


Рисунок 3.7 – Діаграми роботи послідовного регістру на 3 розряди зі зсувом вправо.

Лабораторна робота № 4 – ЦТ

ДОСЛІДЖЕННЯ ДЕШИФРАТОРА ТА МУЛЬТИПЛЕКСОРА

Мета роботи – вивчення принципів роботи дешифратора та мультиплексора.

Програма роботи: 1. Дослідження дешифратора.
2. Дослідження мультиплексора.

Вивчити з літератури. (2, стор. 192-194, 3, стор. 99-115, 4, стр.186-218) побудову і принцип їх роботи.

Для виконання лабораторної роботи використовується накладна панель "9,10" універсального лабораторного стенду – рис.4.1.

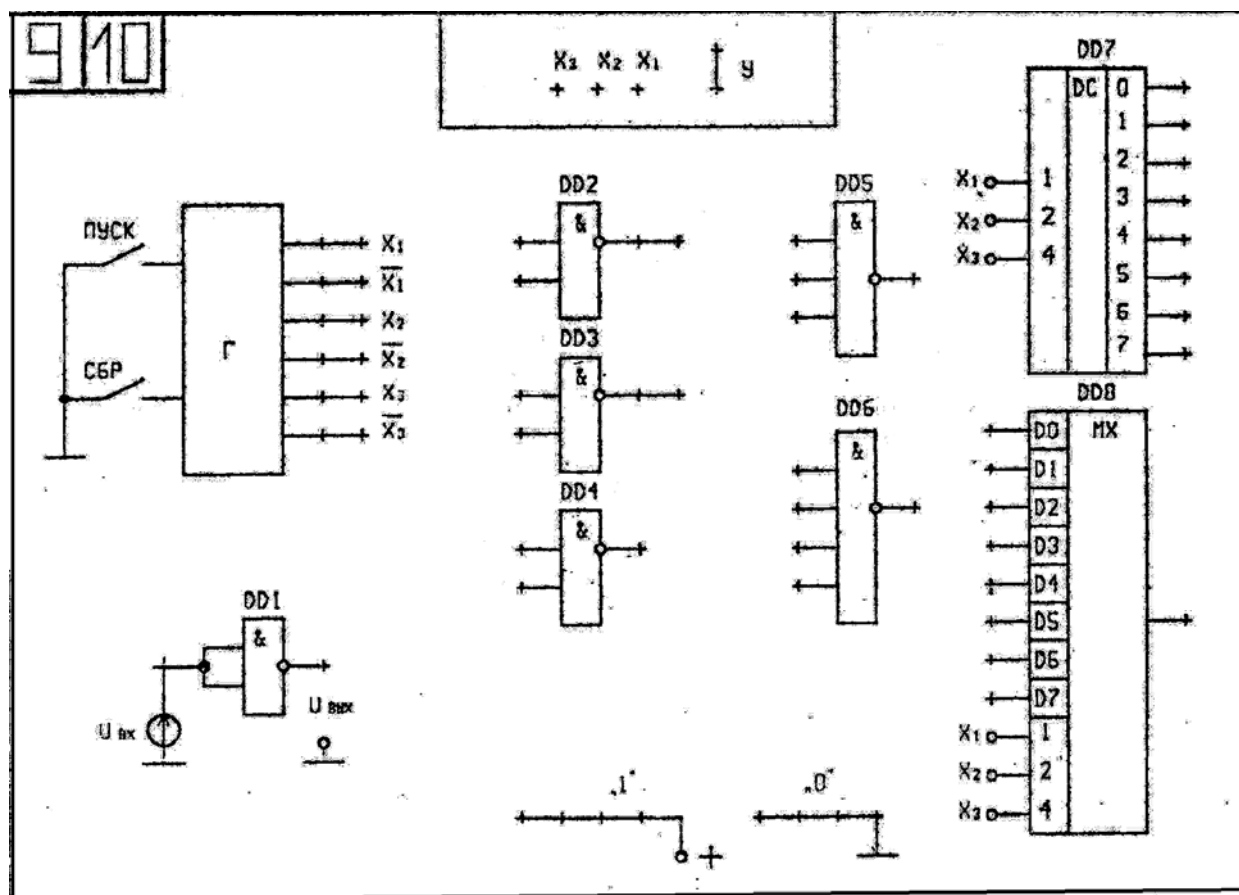


Рисунок 4.1. - Накладна панель "9,10" – «Логічні елементи, дешифратор та мультиплексор»

Етап 1. Дослідження дешифратора.

Для проведення дослідження цього приладу використовуємо мікросхему дешифратора на три входи, яка існує у складі універсального лабораторного стенду.

На панелі "9,10" відображена схема дешифратора з прямими входами та виходами. Особливістю є те, що невідомо які реальна схема має входи і виходи: прямі або інверсні.

Для встановлення реального положення проводиться тестування:

а) приймаючи наведене зображення (на входи подаються прямі двійкові коди згідно таблиці стану – рис.4.2), при цьому визначаються рівні сигналів на його виходах – підключенням виходів приладу до гнізда «Y» зі світлодіодною індикацією стану), якщо реакція мікросхеми буде неадекватною, (дивись методичні вказівки), то приймається наступний варіант – б) з інверсними виходами і так далі – всі з чотирьох можливих варіантів значень сигналів.

Результати правильного тестування відображаються в таблиці стану дешифратора – рис.4.2, та виконується зображення реальної схеми приладу.

№	Входи			Виходи							
	X1	X2	X3	Y0	Y1	Y2	Y3	Y4	Y5	Y6	Y7
0	0	0	0								
1	0	0	1								
2	0	1	0								
3	0	1	1								
4	1	0	0								
5	1	0	1								
6	1	1	0								
7	1	1	1								

Рисунок 4.2 – Таблиця стану дешифратора (заповнюється за результатами тестування)

Етап 2. Дослідження мультиплексора.

Використовуючи накладну панель "9,10" провести тестування цього приладу згідно таблиці його стану – рис. 4.3. Сигнали на інформаційні входи подавати з гнізд "1" і "0", а на адресні – з гнізд X1, X2, X3 генератора і спостерігаючи вихідні сигнали "Q" на індикаторі гнізда «Y».

№	Адресні входи			Інформаційні входи								Вихід Q
	X1	X2	X3	D0	D1	D2	D3	D4	D5	D6	D7	
0	0	0	0	1								
1	0	0	1		1							
2	0	1	0			1						
3	0	1	1				1					
4	1	0	0					1				
5	1	0	1						1			
6	1	1	0							1		
7	1	1	1								1	

Рисунок 4.3 – Таблиця стану мультиплексора (заповнюється за результатами тестування)

Методичні вказівки

Дешифратор – типова комбінаційна схема з декількома входами і виходами, що перетворює код, що подається на входи, в сигнал логічного рівня на тому з виходів, який має номер, еквівалентний вхідному коду. Якщо на входи дешифратора подаються двійкові змінні, кожна з яких може приймати значення «0» або «1», то на одному з виходів дешифратора виробляється логічний сигнал «1», а на інших виходах зберігаються логічні сигнали «0». У загальному випадку дешифратор з n входами має 2^n виходів, так як n – розрядний код вхідного слова може приймати 2^n різних значень і кожному з цих значень відповідає сигнал «1» на відповідному виходу дешифратора.

Дешифратори встановлюються в схемах обчислювальних пристроїв на виходах регістрів або лічильників і служать для перетворення коду слова, що знаходиться в регістрі (в лічильнику), в керуючий сигнал на одному з виходів дешифратора.

На рис.4.4 представлена таблиця істинності повного дешифратора на 3 входи і 8 виходів та рівняння, які визначають логічне значення сигналів на виходах в залежності від значень вхідних кодів.

№	Входи			Виходи								
	x_1	x_2	x_3	y_0	y_1	y_2	y_3	y_4	y_5	y_6	y_7	
0	0	0	0	1	0	0	0	0	0	0	0	$y_0 = \bar{x}_1\bar{x}_2\bar{x}_3$
1	0	0	1	0	1	0	0	0	0	0	0	$y_1 = \bar{x}_1\bar{x}_2x_3$
2	0	1	0	0	0	1	0	0	0	0	0	$y_2 = \bar{x}_1x_2\bar{x}_3$
3	0	1	1	0	0	0	1	0	0	0	0	$y_3 = \bar{x}_1x_2x_3$
4	1	0	0	0	0	0	0	1	0	0	0	$y_4 = x_1\bar{x}_2\bar{x}_3$
5	1	0	1	0	0	0	0	0	1	0	0	$y_5 = x_1\bar{x}_2x_3$
6	1	1	0	0	0	0	0	0	0	1	0	$y_6 = x_1x_2\bar{x}_3$
7	1	1	1	0	0	0	0	0	0	0	1	$y_7 = x_1x_2x_3$

Рисунок 4.4 – Таблиця істинності повного дешифратора на 3 входи і 8 виходів та його рівняння

Як приклад, розглянемо досить простий варіант дешифратора ТТЛ.

Дешифратор К155ИД4, К555ИД4, КР1533ИД4

Мікросхема – рис. 4.5 – має два ідентичних двійково-десяткових дешифратора на два входи (двійковий код з вагою 1-2) і чотири виходи (десятковий код 0-3) кожен. Адресні виконавчі входи дешифраторів включені паралельно (виводи 3, 13 мікросхеми).

Кожен дешифратор має свої входи стробування. У верхнього за схемою дешифратора входи стробування з'єднані по «І», логічний «0» на обох входах дозволяє здійснювати дешифрування, «1» на будь-якому з них переводить всі виходи дешифратора в «1». Нижній за схемою дешифратор має входи стробування, з'єднані по «І», але з інверсією одного з них. Таким чином дешифрування відбудеться при наявності на цих входах сигналів «1» і «0» відповідно. При будь-якій іншій комбінації робота дешифратора буде заборонена (на всіх виходах «1»). Така організація дозволяє побудувати дешифратор на 8 виходів всього на одному корпусі без застосування додаткових елементів – рис.4.5.

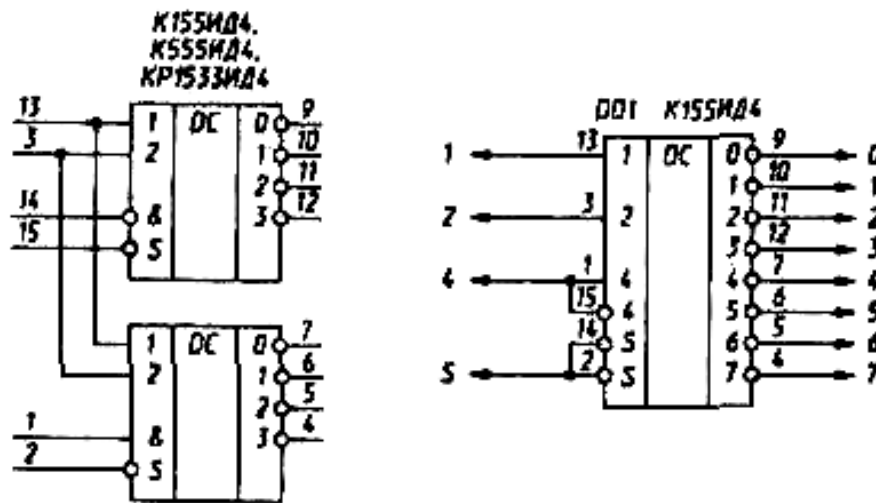


Рисунок 4.5 – Дешифратор К155ИД4 та його перетворення у схему з трьома входами та на 8 виходів (інверсних)

Мультиплексор – це також типова комбінаційна схема, що має n адресних входів і $N = 2^n$ інформаційних входів і виконує комутацію на вихід того інформаційного сигналу, адреса (тобто номер) якого встановлено на адресних входах. Інакше мультиплексор – це адресний комутатор. Мультиплексор позначається MUX $N - 1$ або MS $N - 1$, тобто комутатор, який має N інформаційних входів і один вихід. Мультиплексор «перемикає» сигнал з одного з N вхідних ліній на один вихід.

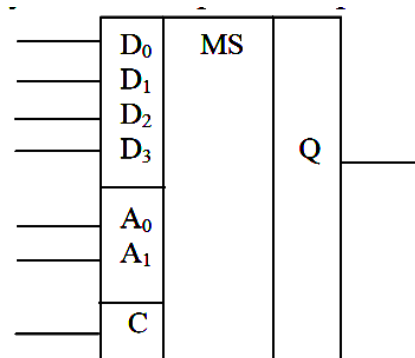


Рисунок 4.6 – Умовне графічне позначення мультиплексора

Для приладу – рис.4.6 наступне рівняння визначає стан вихідного сигналу:

$$Q = (\bar{A}_1 \bar{A}_0 D_0 + \bar{A}_1 A_0 D_1 + A_1 \bar{A}_0 D_2 + A_1 A_0 D_3) \cdot C$$

Як приклад, розглянемо один з простих варіантів мультиплексора ТТЛ.

Мікросхема **K155КП2** рис.4.6 складається з двох мультиплексорів на 4 прямих входи і один прямий вихід кожен. Стробування мультиплексорів роздільне, адреса двохрозрядна шина 1, 2 у обох мультиплексорів загальна.

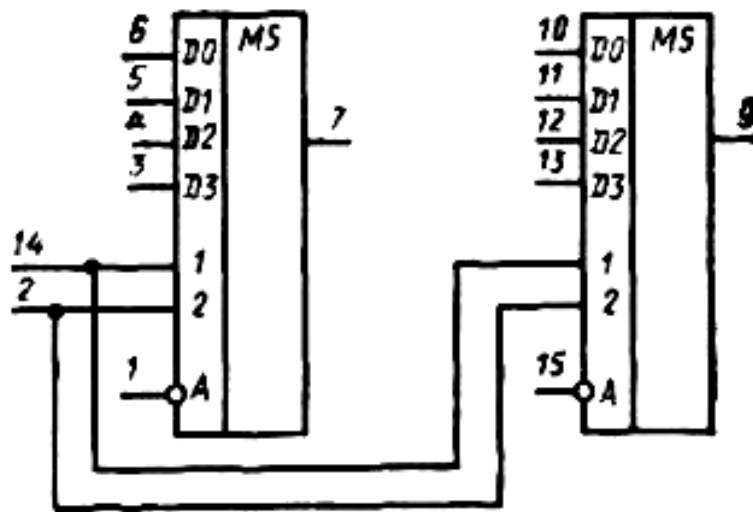


Рисунок 4.6 - Мікросхема **K155КП2**

Якщо на вході А високий рівень – «1», то незалежно від стану інших входів на виході встановлюється «0» (на інверсному «1»). При стробуванні низьким рівнем – «0» сигнал на прямому виході повторює сигнал на тому вході, номер якого збігається з двійковим еквівалентом коду на входах 1, 2, 4. На інверсному виході, природно, сигнал буде протифазним до прямого виходу. Завдяки входу стробування з керуванням низьким рівнем зовсім нескладно наростити розрядність мультиплексора.

Мультиплексори використовуються в телекомунікаціях як пристрої формування загального цифрового потоку, що вміщує **n** окремих потоків, для передачі по одній лінії зв'язку.

Лабораторна робота № 5 – ЦТ

ДОСЛІДЖЕННЯ ЦИФРО-АНАЛОГОВОГО (ЦАП) І АНАЛОГО-ЦИФРОВОГО (АЦП) ПЕРЕТВОРЮВАЧІВ

Мета роботи - вивчення принципів побудови і роботи ЦАП і АЦП.

Програма роботи.

1. Дослідження ЦАП.

2. Дослідження АЦП.

Вивчити по літературі: (2 стор. 199-206, 4, стор. 332-355) побудову і принцип роботи схем ЦАП і АЦП.

Для виконання лабораторної роботи використовується накладна панель "13" універсального лабораторного стенду – рис.5.1

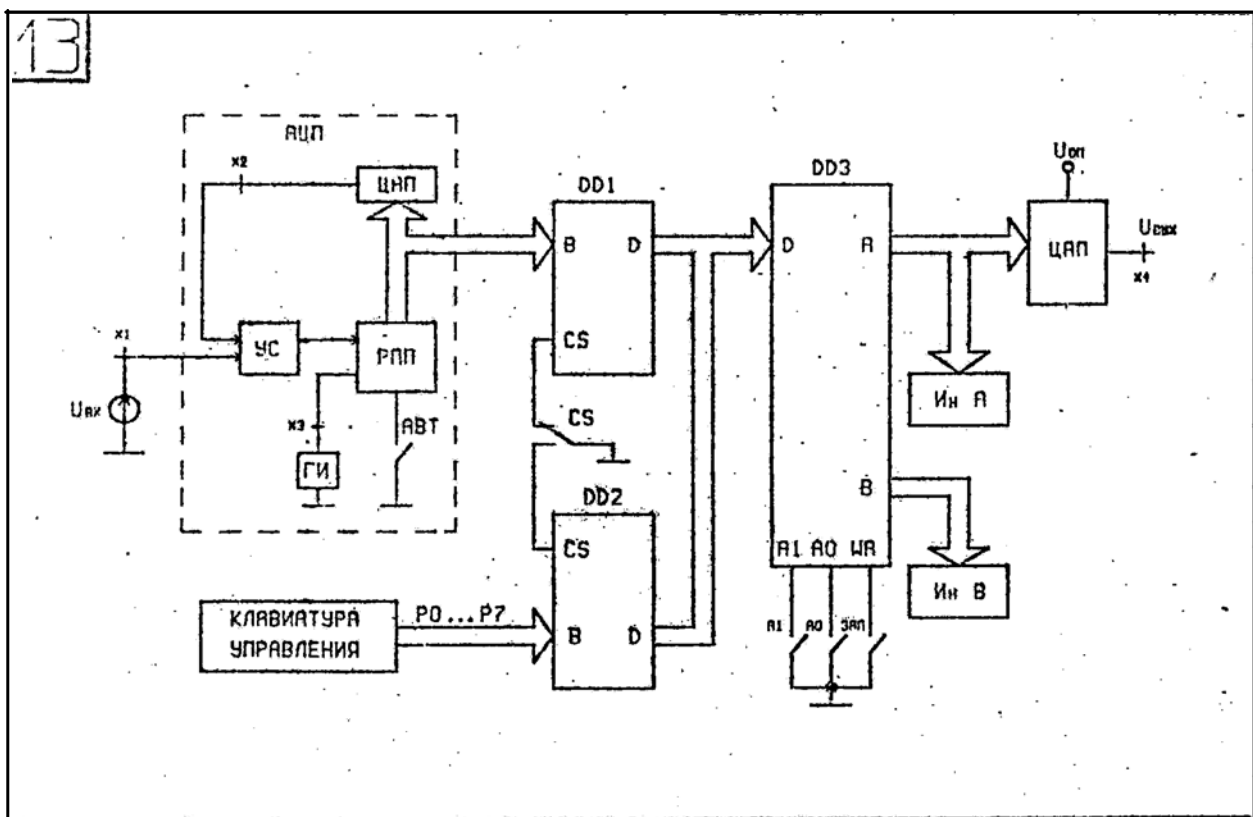


Рисунок 5.1 – Накладна панель «13» універсального стенда
«Дослідження ЦАП та АЦП»

Етап 1 Дослідження ЦАП.

В даному етапі досліджується мікросхема ЦАП широкого застосування К572ПА1А. Вхідне 8-розрядне слово подається на вхід ЦАП з клавіатури за допомогою кнопок "P7-P0" через буфер D2 і порт D3 по каналу А.

1.1 Налаштування стенду

Налаштувати порт D3 на передачу даних через канал А, встановивши на його керуючих входах $A0 = 0$ і $A1 = 0$ (кнопки "A0" і "A1" - відтиснуті).

Налаштувати буфер D2 на передачу даних від клавіатури стенду, встановивши на керуючому вході $CS = 0$ (натиснути кнопку "CS").

1.2 Зняти залежність вихідного аналогового сигналу ЦАП від значення вхідного 8-розрядного коду.

Вихідний сигнал фіксується цифровим вольтметром на гнізді X4. Вхідний код змінювати кнопками "P7 – P0" від 00000000 до 11111111, збільшуючи на один кожен старший по порядку розряд в слові. Після кожної установки коду натискати кнопку "ЗАП" і фіксувати стан слова за індикаторами "ША (А)", а також показання цифрового вольтметра.

1.3 Виміряти і записати мінімальне збільшення вихідного аналогового сигналу, відповідне зміні вхідного коду на одиницю молодшого розряду (ОМР).

Вхідний код встановити, наприклад, рівним 00011110. Використовувати свідчення п.1.2.

Етап 2 Дослідження АЦП.

В даному пункті досліджується комплексна задача передачі інформації з виходу АЦП по 8-розрядній шині через буфер D1, який далі пересилає її в порт D3 на вихід каналу В для індикації.

2.1 Зняти осцилограми циклу перетворення АЦП, використовуючи або два канали осцилографа при віджатих кнопках комутатора або комутатор стенду і осцилограф з одним каналом.

Натиснути кнопку "АВТ", встановивши схему АЦП в робочий режим перетворення аналогового сигналу в цифровий код.

З'єднати провідниками гнізда "Y1 (1)" і X2 (вхід ЦАП), гнізда "Y3 (1)" і X3 (вхід ГІ).

Осцилограми входів ЦАП і ГІ зняти для двох значень вхідних сигналів, встановивши ручкою "Uвх" значення – 1В і 8 В (гніздо X1). Зафіксувати частоту тактових імпульсів ГІ і час перетворення на вході ЦАП.

2.2 Зняти залежності перетворення АЦП $N = f(U_{вх})$, де N-вихідний двійковий 8-розрядний код. Передача інформації з виходу АЦП здійснюється через буфер D1 і порт D3 на індикатори каналу В.

Дане завдання вирішується в такому порядку:

- віджати кнопку "CS", підключивши вихід буфера D1 до входу D порту D3;
- встановити на керуючих входах порту $A0 = 1$ і $A1 = 0$, підключивши канал В для прийому інформації.

При вимірах встановлювати значення вхідних сигналів ручкою "Uвх" від 0 до 10 через 1 В і фіксувати їх цифрові значення на виході АЦП. Для цього слід після установки вхідного сигналу віджати кнопку "АВТ", натиснути кнопку "ЗАП" і зафіксувати значення коду за індикаторами "ШД (В)".

Подальше вимірювання починається при віджатій кнопці "АВТ", що переводить АЦП в режим перетворення.

2.3 Зобразити осцилограму аналого-цифрового перетворення для заданого значення вхідної напруги, прийнявши його рівним номеру робочого місця.

Осцилограми відобразити в системах координат – рисунок 5.2.

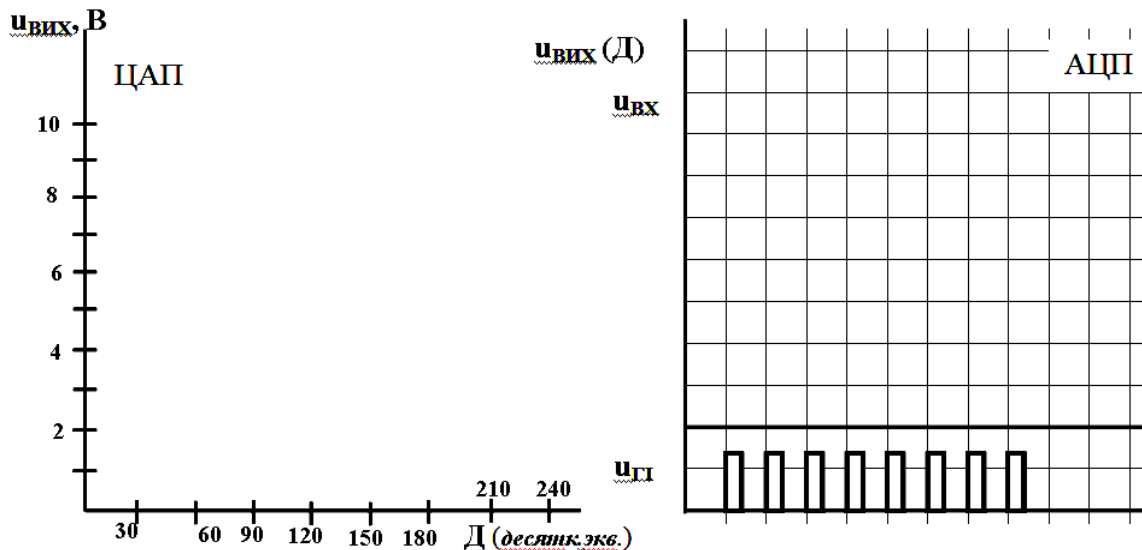


Рисунок 5.2 – Осцилограми роботи ЦАП та АЦП (на підставі вимірювань)

Методичні вказівки

Мікросхема К572ПА1А – є помножуючий цифро-аналоговий перетворювач. Його виконано по КМОП-технології. Призначено для застосування в пристроях перетворення інформації, пристроях введення і виведення для міні- і мікро-ЕОМ. Корпус типу 201.16-8. Маса не більше 2 г.

Електричні параметри мікросхеми К572ПА1А:

- Кількість розрядів..... 10
- Час встановлення вихідного струму, мкс.....<5
- Вихідний струм зміщення нуля, нА.....<100
- Абсолютна похибка перетворення у кінцевій точці шкали ...от-30 до 30
- Вихідний струм, мА..... <3,5
- Струм споживання, мА.....<2
- Вхідний струм за цифровими входами, мкА.....<1

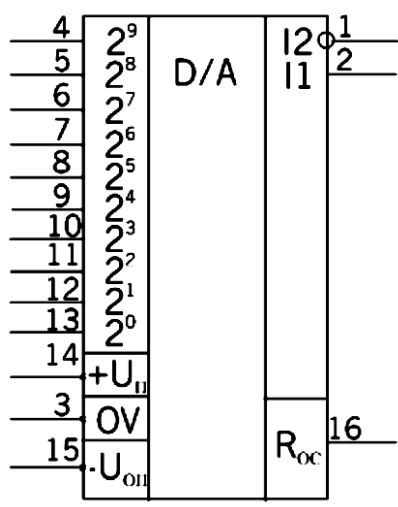


Рисунок 5.3 – Умовне графічне позначення мікросхеми К572ПА1А

АЦП послідовного наближення

Перетворювач цього типу є найбільш поширеним варіантом послідовних АЦП. В основі роботи цього класу перетворювачів лежить принцип послідовного порівняння вимірюваної величини з $1/2$, $1/4$, $1/8$ і т.п. від можливого максимального значення її. Це дозволяє для N-розрядного АЦП послідовного наближення виконати весь процес перетворення за N послідовних кроків (ітерацій)

Принцип побудови та роботи АЦП послідовного наближення розглянемо на прикладі класичної структури (рис. 5.4) 4-розрядного перетворювача, що складається з трьох основних вузлів: компаратора, регістра послідовного наближення (РПН) і ЦАП.

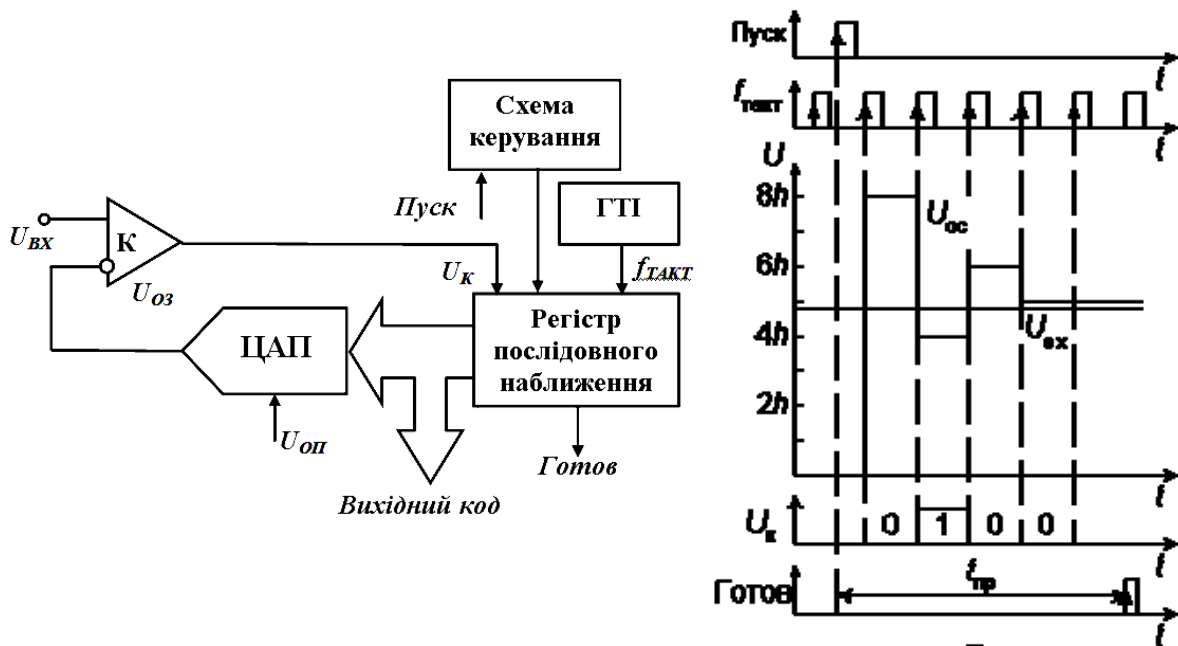


Рисунок 5.4 – Структурна схема та часові діаграми роботи АЦП послідовного наближення

Після подачі команди "Пуск" з приходом першого тактового імпульсу РПН примусово задає на вхід ЦАП код, що дорівнює половині його шкали (для 4-розрядного ЦАП це $1000_2 = 8_{10}$). Завдяки цьому напруга $U_{ос}$ на виході ЦАП дорівнюється $U_{ос} = 2^3 h$, де h – квант вихідної напруги ЦАП, що відповідає одиниці молодшого розряду (ОМР). Якщо вхідна напруга більше, ніж ця величина, то на виході компаратора встановлюється 1, якщо менше, то 0. У останньому випадку схема управління повинна переключити старший розряд d_3 назад в стан нуля. Безпосередньо слідом за цим залишок $U_{вх} - d_3 2^3 h$ таким же чином порівнюється з найближчим молодшим розрядом і т.п. Після чотирьох подібних кроків, що вирівнюють в регістрі послідовного наближення, виявляється двійкове число, з якого після цифро-аналогового перетворення виходить напруга, що відповідає $U_{вх}$ з точністю до 1 ОМР. Вихідне число може бути зчитано з РПП у вигляді паралельного двійкового коду по N лініях.

Перелік літератури

1. Воробйова О.М. Основи схемотехніки: підручник / О.М. Воробйова, В.Д. Іванченко. – [2-ге вид.]. – Одеса: Фенікс, 2009, 388 с.
2. Колонтаєвський Ю.П., Сосков А.Г. Електроніка та мікросхемотехніка: Підручник, 2-е вид. / За ред. А.Г. Соскова – К.: Каравела, 2009, 416 с.
3. Схемотехніка електронних систем: У 3 кн. Кн. 2, Цифрова схемотехніка: Підручник / В.І. Бойко, А.М. Гуржій, В.Я. Жуйков, А.А. Зорі, В.М. Співак, Т.О. Терещенко, – 2-ге вид., допов. і переробл. – К.: Вища шк., 2004. – 423 с.
4. В.І. Сенько, М.В. Панасенко, С.В. Сенько, М.М. Юрченко, Л.І. Сенько, В.В. Ясінський Електроніка і мікросхемотехніка: У 4-х т. Том 3. Цифрові пристрої: Підручник / За ред. В. І. Сенька. – К.: Каравела, 2012. – 400 с.

ЗМІСТ

	Ст.
1. Лабораторна робота № 1 – ЦТ ДОСЛІДЖЕННЯ БАЗОВОГО ЕЛЕМЕНТА ТТЛ.....	3
2. Лабораторна робота № 2 – ЦТ ДОСЛІДЖЕННЯ СХЕМ ТРИГЕРІВ.....	7
3. Лабораторна робота № 3 – ЦТ ДОСЛІДЖЕННЯ СХЕМ ЛІЧИЛЬНИКІВ І РЕГІСТРІВ.....	13
4. Лабораторна робота № 4 – ЦТ ДОСЛІДЖЕННЯ ДЕШИФРАТОРА ТА МУЛЬТИПЛЕКСОРА.....	18
5. Лабораторна робота № 5 – ЦТ ДОСЛІДЖЕННЯ ЦИФРО-АНАЛОГОВОГО (ЦАП) І АНАЛОГО-ЦИФРОВОГО (АЦП) ПЕРЕТВОРЮВАЧІВ.....	23
6. Перелік літератури.....	27

Упорядник

Галушко Олег Михайлович

ДОСЛІДЖЕННЯ ЦИФРОВИХ ПРИСТРОЇВ

**Методичні рекомендації
до виконання лабораторних робіт**

**з дисциплін «Основи схемотехніки», «Електроніка та мікросхемотехніка»,
«Основи електроніки»**

для бакалаврів галузей знань 17 Електроніка та телекомунікації,
15 Автоматизація та приладобудування, 12 Інформаційні технології

Видано в редакції упорядника

Комп'ютерний дизайн, верстка та обробка – О.М. Галушко

Підписано до друку 18.02.2019. Формат 30x42/4.

Папір офсет. Ризографія. Ум. друк. арк. 1,6.

Обл.-вид. арк. 1,6. Тираж 6 пр. Зам. №

Національний технічний університет «Дніпровська політехніка»
49005, м. Дніпро, просп. Д. Яворницького, 19.